

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-270704

(43)公開日 平成10年(1998)10月9日

(51)Int.Cl.⁶
H 0 1 L 29/786
27/12

識別記号

F I
H 0 1 L 29/78
27/12
29/78
6 2 6 C
Z
6 1 3 A

審査請求 有 請求項の数 3 O L (全 5 頁)

(21)出願番号

特願平9-77419

(22)出願日

平成9年(1997)3月28日

(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号(72)発明者 山田 和志
東京都港区芝五丁目7番1号 日本電気株
式会社内

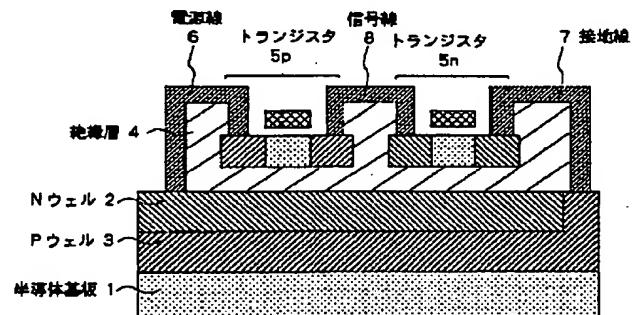
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 面積を増大させることなく簡便に、S I O構造の半導体集積回路の動作時の電源線と接地線の電位の揺らぎを低減すると同時に放熱効率を向上し、動作信頼性を改善する。

【解決手段】 S I O構造の半導体集積回路装置において、トランジスタ5p, 5nの埋め込み絶縁層4の下部にN形半導体導電領域2とP形半導体導電領域3を形成し、トランジスタのグローバルな電源線6とN形導電領域2をスイッチなどを介さず直接接続し、同様にトランジスタのグローバルな接地線7とP形導電領域3を直接接続する。



【特許請求の範囲】

【請求項1】 半導体基板上に絶縁層を介して形成された半導体層にトランジスタが形成された半導体集積回路装置において、該絶縁層の下部にN形半導体導電領域とP形半導体導電領域を互いに接するように形成し、該半導体集積回路の電源線と該N形半導体導電領域を直接接続し、該半導体集積回路の接地線と該P形半導体導電領域を直接接続したことを特徴とするSOI形半導体集積回路装置。

【請求項2】 N形半導体導電領域とP形半導体導電領域が上下に積層されて形成されている請求項1記載のSOI形半導体集積回路装置。

【請求項3】 N形半導体導電領域とP形半導体導電領域が横方向に互いに接して形成されている請求項1記載のSOI形半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、SOI(Silicon On Insulator)基板を用いた半導体集積回路装置において、面積を増大させることなく簡便に、電源線と接地線の電位の揺らぎによる誤動作と動作速度の変動を防止し、さらに放熱効率を向上する技術に関するものである。

【0002】

【従来の技術】 図5は、従来のSOI構造をもつた半導体集積回路の断面図である。P形またはN形半導体基板1の上方に絶縁層4を介して形成された半導体層にPチャネルMOSトランジスタ5pとNチャネルMOSトランジスタ5nが形成されている。この例ではPチャネルMOSトランジスタ5pとNチャネルMOSトランジスタ5nは、電源線6と接地線7と信号線8に接続され、インバータ回路としての機能を備えている。

【0003】 SOIデバイスは、従来のパルクCMOSデバイスと比較して、拡散層容量が小さくでき、その分だけ信号線8の充放電時間が短くなるので、動作速度が向上するという特徴がある。しかし一方で、電源線6や接地線7に付加される拡散層容量も同様に小さくなる。

【0004】 半導体集積回路において、出力パッファの駆動時など大電流が一度に流れると、リード線やボンディングワイヤのインピーダンスにより電源線と接地線の電位が変動しやすくなる。しかし通常、従来のパルクCMOSデバイスでは、電源線はNウェルに電位を与えるためにも用いられる、接地線はPウェルに電位を与えるためにも用いられるので、結果的に電源線と接地線の間にはウェルの大きな容量が付加されることになる。この付加容量がバイパスコンデンサとして働くので、パルクCMOS半導体集積回路では動作中のノイズによる電源線と接地線の電位変動が抑制される。

【0005】 それに対してSOI形半導体集積回路は、図5に示したように電源線6と接地線7にそれぞれ低容

量の拡散層が接続されるだけなので、動作時に電源電位と接地電位が構造的に変動しやすいといえる。電源電位や接地電位が揺らぐのは、回路の電源電圧が動作中に過渡的に変化するのと等価であるので、回路の動作速度が大きく変動し、最悪の場合、誤動作することもあり得る。SOI形半導体集積回路の中には、半導体基板1の電位を接地電位に固定するため接地線7と半導体基板1を接続しているものもあるが、その場合でも電源線6の電位が変動しやすいことに変わりない。

【0006】 この問題の解決策は、例えば特開平3-222361号公報の図1に記載されているSOI形半導体集積回路が挙げられており、その概要は本願の図6に示す通りである。図6に示すSOI形半導体集積回路は、半導体基板1上に絶縁層4を介して形成された半導体層に、例えばPチャネルMOSトランジスタ5pとNチャネルMOSトランジスタ5nが形成されている。この例では、PチャネルMOSトランジスタ5pとNチャネルMOSトランジスタ5nは、電源線6と接地線7と信号線8に接続され、インバータ回路としての機能を備えている。電源線6と接地線7は、トランジスタ5p, 5n直下の絶縁層(埋め込み絶縁層)4内部に形成された電極9と電極10にそれぞれ接続されている。電極9と電極10は共に平板状で、互いに所定の間隔をおいて対向させることにより、コンデンサが形成されている。これにより電源線6と接地線7の間に大容量が付加されるので、集積回路動作中の電源線6と接地線7の電位の揺らぎが抑制できる。

【0007】 特開平3-222361号公報には、埋め込み絶縁層内部に電極を作成する方法は記載されていないが、絶縁層と平板状電極を交互に積層させ、その上部に単結晶半導体層を形成するため非常に製造プロセスが複雑になるのは避けられない。

【0008】 また、MOS半導体回路では、トランジスタが動作中に発生する熱によって電気的特性(特に移動度)が劣化し、例えばオン電流が減少するという問題がある。特に、図5などに示したSOIデバイスでは、トランジスタ5p, 5n直下の絶縁層(埋め込み絶縁層)4の熱伝導率は低い場合が多いので、半導体基板1側への放熱が充分でない。電源線6、接地線7、信号線8がトランジスタに接続されているためトランジスタからの熱の一部は配線へと排出されるが、配線の熱容量は小さいため放熱が充分でなく、動作中にトランジスタの温度が上昇してしまう。

【0009】

【発明が解決しようとする課題】 第1の問題点は、出力パッファ駆動時など大電流が一度に流れるとの電源線と接地線の電位の揺らぎが大きいということである。その理由は、SOI形半導体集積回路では、電源配線と接地配線に付加される容量が小さいからである。

【0010】 第2の問題点は、第1の問題点を解決する

ために図6に示した従来例のようなデバイス構成にしたとき、製造コストが非常に高くなってしまうということである。その理由は、絶縁層と平板状電極を交互に積層し、その電極と電源配線、接地配線を接続するため製造工程が非常に複雑となるからである。

【0011】第3の問題点は、トランジスタから発生する熱が蓄積され、MOSトランジスタの電気的特性が劣化することである。その理由は、半導体基板側への放熱が埋め込み絶縁層によって阻害される上、電源線や接地線などの配線の熱容量が小さいからである。

【0012】本発明の目的は、面積を増大させることなく簡便にSOI構造の半導体集積回路の電源線と接地線の電位の揺らぎを低減することにある。さらに、本発明の他の目的は、トランジスタの放熱効率を向上し、電気的特性の劣化を低減することにある。

【0013】

【課題を解決するための手段】本発明の半導体集積回路装置は、半導体基板上に絶縁層を介して形成された半導体層にトランジスタが形成されており、この絶縁層の下部にN形半導体導電領域とP形半導体導電領域が互いに接するように形成されている。そして、半導体集積回路の電源線がN形半導体導電領域に直接接続され、半導体集積回路の接地線がP形半導体導電領域に直接接続されている。

【0014】また、N形半導体導電領域とP形半導体導電領域は、上下に積層されて形成されてもよく、左右に、互いに接して形成されてもよい。

【0015】

【発明の実施の形態】本発明のSOI形半導体集積回路装置は、P形またはN形半導体基板の表層にPウェルとNウェルが形成されている。これらのウェルは例えば高エネルギーイオン注入により形成されるが、Pウェルが表層に形成され、このPウェルの表層にNウェルを形成してもよく、また、Nウェルの表層にPウェルを形成してもよい。そしてPウェルまたはNウェルの上部に、絶縁層を介して半導体層が形成され、この半導体層にトランジスタが形成され、このトランジスタの電源線がNウェルに直接接続され、接地線がPウェルに直接接続されている。

【0016】さらに上述においては、PウェルとNウェルが上下に接して形成された例であるが、横方向に接して形成してもよい。このように、本発明のSOI形半導体集積回路は、電源線と接地線の双方に大きな容量を付加する。より具体的には、埋め込み絶縁層下部の半導体基板内にNウェルとPウェルを形成し、Nウェルと電源線をスイッチなどを介さずに直結し、同様にPウェルと接地線を直結する。

【0017】したがって、電源線によってNウェルは電源電位に固定され、接地線によってPウェルは接地電位に固定されるため、両ウェル間には電源電圧が逆バイア

ス印加されP-N接合容量が生じる。この容量がバイパスコンデンサとして働くため、回路動作中の電源線と接地線の電位変動が抑制される。また、動作時にトランジスタから発生した熱の多くは、電源線や接地線を介して半導体基板側に放出することができる。このため、MOSトランジスタの温度上昇による電気的特性の劣化が抑制される。

【0018】

【実施例】図1は、本発明の第1の実施例のSOI形半導体集積回路の断面図である。P形またはN形半導体基板1の表層にPウェル3が形成され、さらにPウェル3の表層にNウェル2が形成されている。Pウェル3とNウェル2は、例えば公知の高エネルギーイオン注入によって形成されるものとする。Pウェルの上部に絶縁層4を介して形成された半導体層にPチャネルMOSトランジスタ5pとNチャネルMOSトランジスタ5nが形成されている。この例ではチャネルMOSトランジスタ5pとNチャネルMOSトランジスタ5nは、電源線6と接地線7と信号線8に接続され、インバータ回路としての機能を備えている。電源線6は金属配線などの低抵抗導体によってNウェル2に接続され、接地線7は金属配線などの低抵抗導体によってPウェル3に接続される。

【0019】Nウェル2は電源電位、Pウェル3は接地電位に接続されているので、境界面はPN接合に逆バイアスが印加された状態であり、電源電圧に応じた幅の空乏層が生じる。この空乏層はコンデンサのように働くので、電源線と接地線間にバイパスコンデンサが接続されたのと等価となる。これが、本発明によって動作時の電源線と接地線の電位変動が抑制できる原理である。

【0020】電源線とバイパスコンデンサ、ならびに接地線とバイパスコンデンサ間のインピーダンスが大きいと、電位変動を抑制する効果が充分に得られない。したがって本発明では、電源線とNウェル間、ならびに接地線とPウェル間に例えばMOSトランジスタなどのスイッチの働きをする素子などを挟まずに低抵抗で直結するものとする。この意味で、例えば特開平7-106579に示される半導体装置と本発明は異なる。

【0021】図7は、特開平7-106579の図3を基にしたものである。図7に示すSOI形半導体集積回路と、既に図5に示した従来のSOI形半導体集積回路との違いは次の通りである。半導体基板11がP形であり、その表層にN形不純物領域12が形成されている。N形不純物領域12は、トランジスタ5p, 5nの少なくともチャネルに対向する位置に個別に形成され、それぞれ電極13が取り出されている。この電極13は、個々のトランジスタにバックバイアスを印加するための専用金属配線とされている。

【0022】しかし、特開平106579の半導体集積回路は、その動作上、N形不純物領域をチャネルに近接して配置しなければならないので、チャネル直下の絶縁

膜は薄く、N形領域は基板の表面でなければならない。これに反して本発明はこのような条件には支配されない。

【0023】さて、図1に示した本発明の半導体集積回路では、トランジスタ5p, 5nが電源線6、接地線7を介して半導体基板1に接続されている。一般に、半導体集積回路でよく用いられるSiO₂などの絶縁層4の材料は熱伝導率が低く、トランジスタ5p, 5nで発生した熱が絶縁層4を通っては周囲に逃げにくい。SOI形半導体集積回路では特に、トランジスタ5p, 5nと半導体基板1との間に埋め込み絶縁層が存在するため動作中の放熱が充分でなく、トランジスタに熱が蓄積されてしまう。普通、室温でMOSトランジスタを動作させると、温度上昇につれてキャリア移動度が低下するためオン電流が減少する。しかし、図1の本発明の半導体集積回路では、熱伝導率の高い配線によってトランジスタから半導体基板への放熱経路が生じるため、トランジスタの熱の蓄積が避けられる。

【0024】図2は、本発明の第2の実施例である。本実施例は、PウェルをNウェルよりも表層に形成すという点を除けば図1に示した第1の実施例と同じである。電源線6と接続されるのがNウェルで、接地線7と接続されるのがPウェルなのは、本発明の全実施例で共通である。

【0025】図3は、本発明の第3の実施例である。本実施例は、トランジスタが存在する領域の下部にNウェル、配線領域などのトランジスタが存在しない場所にPウェルを形成するという点を除けば第1の実施例と同じである。本発明は、NウェルとPウェルの境界面の空乏層をコンデンサとして利用するので、この境界面を広くとることができれば、NウェルとPウェルの面積が大きく違っていても構わない。

【0026】図4は、本発明の第4の実施例である。本実施例は、トランジスタが存在する領域の下部にPウェル、トランジスタが存在しない領域にはNウェルを形成するという点を除けば、第1の実施例と同じである。

【0027】第1～4の実施例では、半導体基板1の表面（埋め込み絶縁層直下）にウェルが存在するとしたが、表面から深い位置にだけウェルが存在する構造としてもよい。

【0028】

【発明の効果】第1の効果は、集積回路動作時の電源線

と接地線の電位の揺らぎが抑制されることである。その理由は、電源線と接地線にバイパスコンデンサの働きをする大きな容量が付加されるからである。

【0029】第2の効果は、前述の容量が比較的簡便に形成できるということである。その理由は、埋め込み絶縁層内部ではなく、半導体基板の側に高エネルギーイオン注入などでコンデンサを形成するからである。

【0030】第3の効果は、動作中に発生する熱でトランジスタの電気的特性が劣化するのを抑制できるということである。その理由は、トランジスタから電源線や接地線を介して半導体基板側に熱を逃がすことができるからである。

【図面の簡単な説明】

【図1】本発明の第1の実施例のSOI形半導体集積回路の構成を示した断面図である。

【図2】本発明の第2の実施例のSOI形半導体集積回路の構成を示した断面図である。

【図3】本発明の第3の実施例のSOI形半導体集積回路の構成を示した断面図である。

【図4】本発明の第4の実施例のSOI形半導体集積回路の構成を示した断面図である。

【図5】従来のSOI形半導体集積回路の構成を示した断面図である。

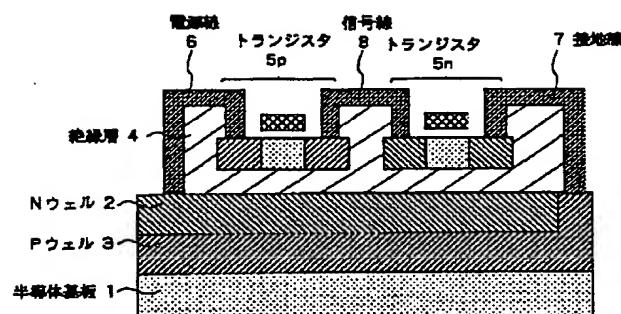
【図6】従来のSOI形半導体集積回路の第2例の構成を示した断面図である。

【図7】従来のSOI形半導体集積回路の第3例の構成を示した断面図である。

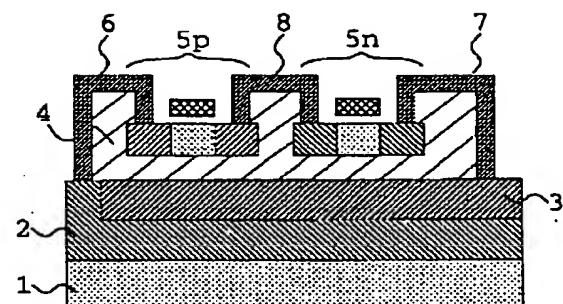
【符号の説明】

1	P形あるいはN形半導体基板
2	Nウェル
3	Pウェル
4	絶縁層
5p	Pチャネルトランジスタ
5n	Nチャネルトランジスタ
6	電源線
7	接地線
8	信号線
9	電極
10	電極
11	P形半導体基板
12	N形不純物領域
13	バックバイアス印加電極

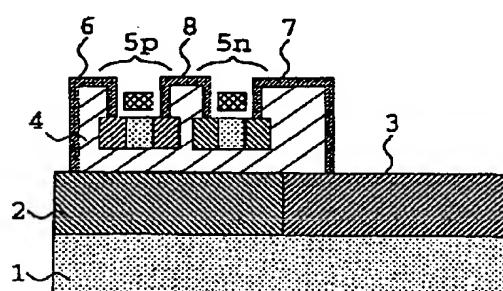
【図1】



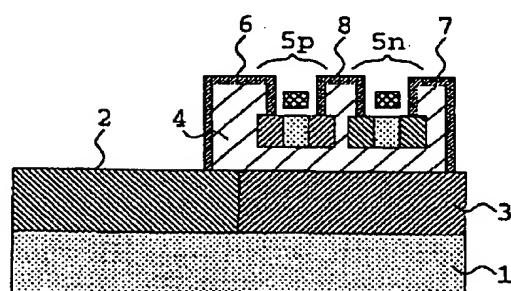
【図2】



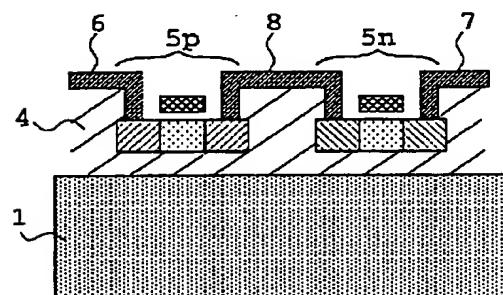
【図3】



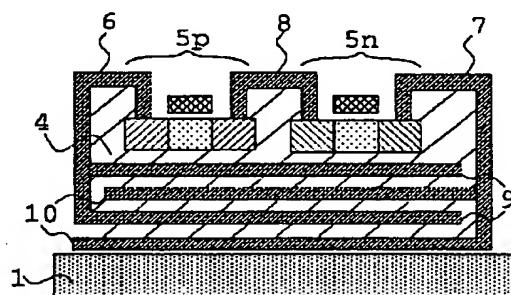
【図4】



【図5】



【図6】



【図7】

